

08/747928

described in spec.

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑬ 公開特許公報(A)

昭62-86715

⑤ Int. Cl.<sup>4</sup>

識別記号

庁内整理番号

⑬ 公開 昭和62年(1987)4月21日

H 01 L 21/28  
// H 01 L 21/887638-5F  
6708-5F

審査請求 未請求 発明の数 1 (全3頁)

## (54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(11) 62-86715 (A) (43) 21.4.1987 (19) JP

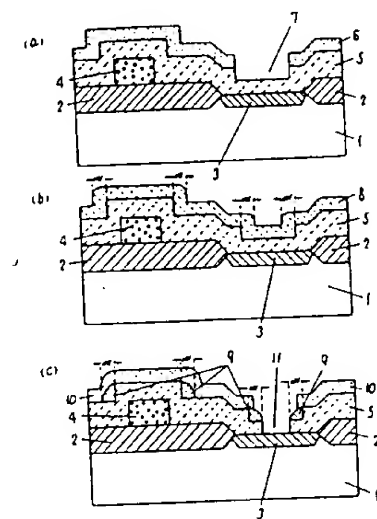
(21) Appl. No. 60-227153 (22) 11.10.1985

(71) MATSUSHITA ELECTRONICS CORP (72) TAKASHI TSUKURA

(51) Int. Cl.<sup>4</sup> H01L21/28//H01L21/88

**PURPOSE:** To form a contact hole part in a tapered shape as well as to prevent the increase in wiring resistance and the generation of breakage of wire by a method wherein, after the contact region insulating film layer of the prescribed pattern and a photoresist mask have been formed on a substrate, the insulating layer is etched to its intermediate thickness, then a photoresist film is removed, a polycrystalline silicon layer is formed on the whole surface, the whole surface of said polycrystalline silicon layer is etched, a photoresist mask is formed, and then a contact hole is perforated on the insulating film.

**CONSTITUTION:** After a thick oxide film 2 has been formed on a semiconductor substrate 1, an impurity region 3 having the conductive type reverse to that of the semiconductor substrate is formed. Then, a transistor gate, consisting of polycrystalline silicon or a high melting point metal and the like, a first wiring layer 4 are formed, and subsequently, an interlayer insulating film 5 and the mask pattern, to be used for formation of the first contact hole on the surface of the insulating film 5, are formed. Then, said interlayer insulating film 5 is etched to the depth of about one half of the thickness of the insulating film 5, and the photoresist mask 6 is removed. Subsequently, when an etching is performed on the whole surface after a polycrystalline silicon layer 8 has been formed on the whole surface, a polycrystalline silicon of the width of  $\Delta W$  corresponding to the thickness of the interlayer insulating film 5 can be left on the edge part of the contact hole and the stepped part of the interlayer insulating film.



## 明 細 書

## 3、発明の詳細な説明

## 1、発明の名称

半導体装置の製造方法

## 2、特許請求の範囲

半導体基板上に、所定パターンのコンタクト領域を形成したのち、この領域をおもって絶縁膜層を形成し、次に、コンタクトホール形成用第1のホトレジストマスクを形成し、上記絶縁膜層をその中間厚の深さまで異方性エッチし、第1のコンタクトホールを形成したのち、上記第1のホトレジストマスクを除去し、全面に多結晶シリコン層を形成し、次いで、ガスプラズマにより、上記多結晶シリコン層を全面エッチし、上記第1のコンタクトホールエッジ部および上記絶縁膜ステップ部に上記多結晶シリコン層を残し、続いて、コンタクトホール形成用第2のホトレジストマスクを形成し、再び、上記第1のコンタクトホール部に残る上記絶縁膜に第2のコンタクトホールをエッチングで開口形成する工程をそえた半導体装置

## 産業上の利用分野

本発明は、半導体集積回路におけるコンタクトホールの形成方法に関するものである。

## 従来の技術

従来、半導体集積回路において、コンタクトホール形成工程と配線層下地平坦化工程とを別々に行うのが一般的である。

## 発明が解決しようとする問題点

ところが、半導体集積回路においては、コンタクトホールエッジ部や、配線層下地酸化膜ステップ部での配線の断線や、配線層形成時のエッチ残り等によるショートが生じやすく、良好な配線層を形成することが困難となる。

## 問題点を解決するための手段

本発明は、上述の配線層のコンタクトホール部での断線の可能性を小さくするテーパ形状を有するコンタクトホールの形成方法を提供するもので、要約すると、半導体基板上に、所定パターンのコンタクト領域を形成したのち、この領域をお

**WEST**[Help](#)[Logout](#)[Main Menu](#) [Search Form](#) [Result Set](#) [Show S Numbers](#) [Edit S Numbers](#)[First Hit](#)[Previous Document](#)[Next Document](#)[Full](#) [Title](#) [Citation](#) [Front](#) [Review](#) [Classification](#) [Date](#) [Reference](#) [Claims](#) [PMC](#)

## Document Number 1

Entry 1 of 1

File: DWPI

Apr 21, 1987

DERWENT-ACC-NO: 1987-147926

DERWENT-WEEK: 198721

COPYRIGHT 1999 DERWENT INFORMATION LTD

TITLE: Mfg. semiconductor device with improved wiring reliability - by forming contact hole in taper state and wiring ground insulation layer gradually to improve flatness NoAbstract Dwg 1/2

PATENT-ASSIGNEE: MATSUSHITA ELECTRIC WORKS LTD[MATW]

## PRIORITY-DATA:

1985JP-0227153

October 11, 1985

1985JP-0227155

October 11, 1985

## PATENT-FAMILY:

PUB-NO

PUB-DATE

LANGUAGE

PAGES

MAIN-IPC

JP 62086715 A

April 21, 1987

N/A

004

N/A

## APPLICATION-DATA:

PUB-NO

APPL-DESCRIPTOR

APPL-NO

APPL-NO

JP62086715A

October 11, 1985

1985JP-0227155

N/A

INT-CL (IPC): H01L 21/28

ABSTRACTED-PUB-NO:

EQUIVALENT-ABSTRACTS:

## TITLE-TERMS:

MANUFACTURE SEMICONDUCTOR DEVICE IMPROVE WIRE RELIABILITY FORMING CONTACT HOLE TAPER STATE WIRE GROUND INSULATE LAYER GRADUAL IMPROVE FLAT NOABSTRACT

DERWENT-CLASS: L03 U11

CPI-CODES: L04-C13A;

EPI-CODES: U11-C05D4;

[Main Menu](#) [Search Form](#) [Result Set](#) [Show S Numbers](#) [Edit S Numbers](#)[First Hit](#)[Previous Document](#)[Next Document](#)[Full](#) [Title](#) [Citation](#) [Front](#) [Review](#) [Classification](#) [Date](#) [Reference](#) [Claims](#) [PMC](#)[Help](#)[Logout](#)

**Image is not available for patent JP362086715A**

① 日本国特許庁(JP)

① 特許出願公開

② 公開特許公報(A)

昭62-86715

⑤ Int.Cl.<sup>4</sup>  
H 01 L 21/28  
// H 01 L 21/88

識別記号 庁内整理番号  
7638-5F  
6708-5F

④ 公開 昭和62年(1987)4月21日

審査請求 未請求 発明の数 1 (全3頁)

④ 発明の名称 半導体装置の製造方法

⑥ 特 願 昭60-227153

⑦ 出 願 昭60(1985)10月11日

⑧ 発 明 者 津 倉 敬 門真市大字門真1006番地 松下電子工業株式会社内  
⑨ 出 願 人 松下電子工業株式会社 門真市大字門真1006番地  
⑩ 代 理 人 弁理士 中尾 敏男 外1名

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

半導体基板上に、所定パターンのコンタクト領域を形成したのち、この領域をおもって絶縁膜層を形成し、次に、コンタクトホール形成用第1のホトレジストマスクを形成し、上記絶縁膜層をその中間厚の深さまで異方性エッチし、第1のコンタクトホールを形成したのち、上記第1のホトレジストマスクを除去し、全面に多結晶シリコン層を形成し、次いで、ガスプラズマにより、上記多結晶シリコン層を全面エッチし、上記第1のコンタクトホールエッジ部および上記絶縁膜ステップ部に上記多結晶シリコン層を残し、続いて、コンタクトホール形成用第2のホトレジストマスクを形成し、再び、上記第1のコンタクトホール部に残る上記絶縁膜に第2のコンタクトホールをエッチングで開口形成する工程をそなえた半導体装置の製造方法。

3. 発明の詳細な説明

産業上の利用分野

本発明は、半導体集積回路におけるコンタクトホールの形成方法に関するものである。

従来の技術

従来、半導体集積回路において、コンタクトホール形成工程と配線層下地平坦化工程とを別々に行うのが一般的である。

発明が解決しようとする問題点

ところが、半導体集積回路においては、コンタクトホールエッジ部や、配線層下地酸化膜ステップ部での配線の断線や、配線層形成時でのエッチ残り等によるショートが生じやすく、良好な配線層を形成することが困難となる。

問題点を解決するための手段

本発明は、上述の配線層のコンタクトホール部での断線の可能性を小さくするテーパ形状を有するコンタクトホールの形成方法を提供するもので、要約すると、半導体基板上に、所定パターンのコンタクト領域を形成したのち、この領域をおもって絶縁膜層を形成し、次に、コンタクトホー

ル形成用第1のホトレジストマスクを形成し、上記絶縁膜層をその中間厚の深さまで異方性エッチし、第1のコンタクトホールを形成したのち、上記第1のホトレジストマスクを除去し、全面に多結晶シリコン層を形成し、次いで、ガスプラズマにより、上記多結晶シリコン層を全面エッチし、上記第1のコンタクトホールのエッジ部および上記絶縁膜ステップ部に上記多結晶シリコン層を残し、続いて、コンタクトホール形成用第2のホトレジストマスクを形成し、再び、上記第1のコンタクトホール部に残る上記絶縁膜に第2のコンタクトホールをエッチングで開口形成する工程をそなえた半導体装置の製造方法である。

#### 作用

このような本発明の構成により、コンタクトホール部がテーパー状に形成でき、また配線層下地絶縁膜ステップ部での急峻な断差を回避し、平坦度の向上ができ、配線抵抗の増加、断線を防止できる。

#### 実施例

と、コンタクトホールエッジ部および層間絶縁膜ステップ部に同層間絶縁膜6の厚みに相当する $\Delta W$ の幅の多結晶シリコンが残る。次に開口7より $2\Delta W$ 小さなコンタクトホールを形成するための第2のホトレジストマスク10を形成し、再び、 $\text{CHF}_3$ と $\text{O}_2$ ガスプラズマにより、前記層間絶縁膜6の残り約半分の厚さをエッチし、第2図(d)のように、第2のコンタクトホール11を形成する。この際、第1、第2のコンタクトホール間のステップ部には多結晶シリコン残存層9が形成される。こののち、この多結晶シリコン残存層9の表面を一部酸化し、多結晶シリコン酸化膜12を形成してアルミニウムによる第2の配線層13をホトリソグラフィ工程により形成したものが第1図の半導体装置である。上記例では、第1の多結晶配線層4へのコンタクト・ホール形成は、エッチングによるが、この場合も、上記例の場合と同様に形成できる。

#### 発明の効果

本発明の方法によれば、コンタクトホール部がテーパー状に形成でき、またコンタクトホール形

成用ホトレジストマスクの合わせマージンが向上でき、マスク開口部よりも小さなコンタクトホールが形成できる。さらに、層間絶縁膜のステップ部もテーパー状に形成できるので、平坦度の向上ができ、配線のコンタクトエッジ部での配線抵抗の増加、断線等を防止し、配線平坦度の向上により配線信頼性の向上を図ることが可能となり、半導体装置の品質を著しく高める効果がある。

#### 4. 図面の簡単な説明

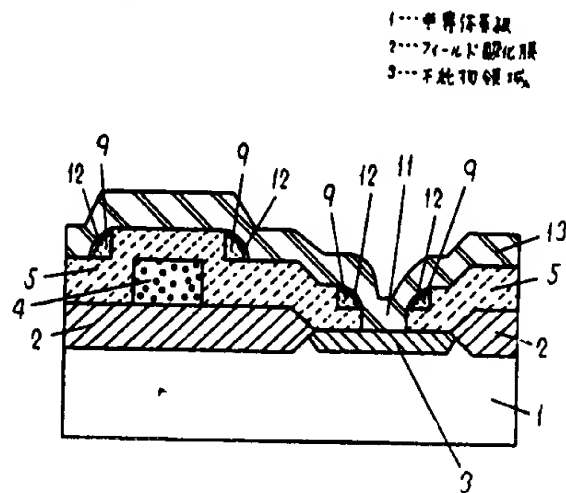
第1図は本発明実施例の方法によって得られた半導体装置の断面図、第2図(a)~(d)は本発明の半導体装置の製造方法を示す工程順の断面図である。

1……半導体基板、2……フィールド酸化膜、3……不純物領域、4……多結晶シリコンあるいは高融点金属による第1の配線層、5……層間絶縁膜、6……層間絶縁膜、7……第1のコンタクトホール、8……多結晶シリコン、9……多結晶シリコン残存層、10……ホトレジストマスク、11……第2コンタクトホール、12……多結晶シリコン上の酸化膜、13……アルミニウ

ムによる第2の配線層。

代理人の氏名 弁護士 中 尾 敏 男 ほか1名

第 1 図



第 2 図

